

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-270220

(43)Date of publication of application : 02.12.1991

(51)Int.Cl.

H01L 21/208

C30B 19/00

C30B 29/40

(21)Application number : 02-071332

(71)Applicant : FUJITSU LTD

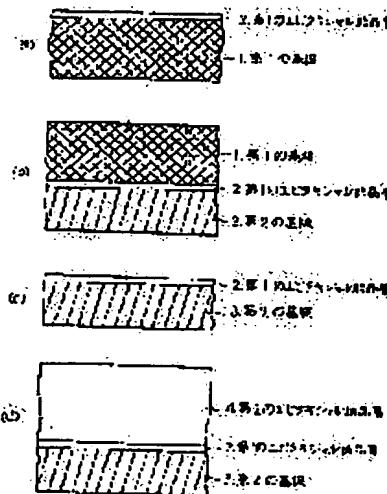
(22)Date of filing : 20.03.1990

(72)Inventor : ANAYAMA CHIKASHI

(54) MANUFACTURE OF SEED CRYSTAL FOR GROWING BULK CRYSTAL

(57)Abstract:

PURPOSE: To enable the title seed crystal subjected to no transition ideal for growing in liquid phase to be manufactured by a method wherein a mixed crystal in an objective composition is bonded onto a substrate capable of easing the residual strain by thermal expansion coefficient.



CONSTITUTION: The first epitaxial crystal layer 2 in different lattice constant from that of the first substrate 1 is epitaxially grown in thickness subjected to no transition on the first substrate 1 in transition density not exceeding 105/cm³. Next, the first epitaxial crystal layer 2 is bonded onto the second substrate 3 in different thermal expansion coefficient from that of the first substrate 1. Furthermore, after etching away the first substrate 1, the second epitaxial crystal layer 4 is formed on the first epitaxial crystal layer 2. Accordingly, the substrate 1 with stress imposed on the crystal thereof at room temperature is in the strained state but when it is heated at the growing temperature to grow bulky crystal, the stress can be eased. Through these procedures, an ideal substrate subjected to neither transition nor strain during the growing process can be manufactured.

LEGAL STATUS

⑫ 公開特許公報 (A)

平3-270220

⑬ Int. Cl. 5

H 01 L 21/208
C 30 B 19/00
29/40
H 01 L 21/208

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月2日

Z 7630-4M
Z 8924-4C
7158-4G
T 7630-4M

審査請求 未請求 請求項の数 3 (全9頁)

⑮ 発明の名称 バルク結晶成長用種結晶の作製方法

⑯ 特 願 平2-71332

⑯ 出 願 平2(1990)3月20日

⑰ 発明者 六山 親志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

バルク結晶成長用種結晶の作製方法

2. 特許請求の範囲

1) 格子定数が第1の基板(1)と異なる第1のエピタキシャル結晶層(2)を、転位密度が $10^8/\text{cm}^2$ 以下の該第1の基板(1)上に、転位が発生しない厚さに成長する工程と。

該第1のエピタキシャル結晶層(2)を、該第1の基板(1)と熱膨張率の異なる第2の基板(3)に貼り合わせる工程と。

該第1の基板(1)をエッチングで除去する工程と、該第1のエピタキシャル結晶層(2)上に第2のエピタキシャル結晶層(4)を作成する工程とを含むことを特徴とするバルク結晶成長用種結晶の作製方法。

2) 該第1の基板(1)の室温における格子定数を a_1 、該第2の基板(3)の熱膨張係数を α_2 、該第

2のエピタキシャル結晶層(4)の室温における格子定数を a_4 、熱膨張係数を α_4 、成長温度を T_g としたとき、

$$a_1(1 + T_g \alpha_2) = a_4(1 + T_g \alpha_4)$$

なる条件を満たすように、第1の基板(1)並びに第2の基板(3)を選定することを特徴とする請求項1記載のバルク結晶成長用種結晶の作製方法。

3) 該第1のエピタキシャル結晶層(2)の混晶組成が、該第2のエピタキシャル結晶層(4)の混晶組成と異なり、かつ、該第1の基板(1)の室温における格子定数を a_1 、該第1のエピタキシャル結晶層(2)の室温における格子定数を a_2 、熱膨張係数を α_1 、該第2の基板(3)の熱膨張係数を α_2 、該第2のエピタキシャル結晶層(4)の室温における格子定数を a_4 、成長温度を T_g としたとき、

$$|1 - a_1|/a_1 > |1 - a_4|/a_4$$

かつ、

$$|1 - a_1|/a_1 |$$

$> |1 - a_4(1 + T_g \alpha_2)|/a_4(1 + T_g \alpha_4)|$ なる条件を満たすように、第1の基板(1)、第1の

エピタキシャル結晶層(2)、第2の基板(3)を選定することを特徴とする請求項1記載のバルク結晶成長用種結晶の作成方法。

3. 発明の詳細な説明

〔目次〕

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

本発明1)の原理説明図 (第1図)

本発明2)の原理説明図 (第1図)

作用

実施例

本発明1)の実施例の説明図 (第5～7図)

本発明2)の実施例の説明図 (第2、3図)

本発明3)の実施例の説明図 (第4図)

発明の効果

〔概要〕

本発明は、任意の格子定数を有した半導体基板の製造方法に関するものである。

転位のない種結晶の作製を目的とし、

①格子定数が第1の基板と異なるエピタキシャル結晶層を、転位密度が $10^5/cm^3$ 以下の該第1の基板上に、転位が発生しない厚さに成長する工程と、該エピタキシャル結晶層を、該第1の基板と熱膨張率の異なる第2の基板に貼り合わせる工程と、該第1の基板(1)をエッチングで除去する工程と、該エピタキシャル結晶層上に種結晶を作成する工程とを含むように、

②該第1の基板の室温における格子定数を a_1 、該第2の基板の熱膨張係数を α_2 、該種結晶の室温における格子定数を a_4 、熱膨張係数を α_4 、種結晶の成長温度を T_g としたとき、

$a_1(1 + T_g \alpha_2) = a_4(1 + T_g \alpha_4)$ なる条件を満たすように、第1の基板並びに第2の基板を選定するように、

③該第1のエピタキシャル結晶層(2)の混晶組

成が、該第2のエピタキシャル結晶層(4)の混晶組成と異なり、かつ、該第1の基板(1)の室温における格子定数を a_1 、該第1のエピタキシャル結晶層(2)の室温における格子定数を a_2 、熱膨張係数を α_2 、該第2の基板(3)の熱膨張係数を α_3 、該第2のエピタキシャル結晶層(4)の室温における格子定数を a_4 、成長温度を T_g としたとき、

$$|1 - a_1/a_4| > |1 - a_2/a_4|$$

かつ、

$$|1 - a_1/a_4| > |1 - a_1(1 + T_g \alpha_2)/a_4(1 + T_g \alpha_4)|$$

なる条件を満たすように、第1の基板(1)、第1のエピタキシャル結晶層(2)、第2の基板(3)を選定するように構成する。

〔産業上の利用分野〕

本発明は、任意の格子定数を有した半導体基板の製造方法に関するものである。

III-V族半導体を用いた発光素子や受光素子は、転位などの欠陥に弱いことから、半導体装置作製

用の基板としては、転位密度が少なくとも $10^5/cm^3$ 以下の程度のものが要求されている。

また、転位を発生させないために、エピタキシャル層も、基板に格子整合する組成のものが使用されており、レーザ素子などの発光波長に制限を与えており、

従って、任意の発光波長の良質なエピタキシャル結晶を得るために、任意の格子定数を有し、転位の少ない基板への要求が高まっている。

〔従来の技術〕

任意の格子定数を得るために、従来から行われている方法は、大きく分けて2つある。

1つは、既存の転位の少ない基板上に、格子定数の異なる層をエピタキシャル成長させ、発生した転位を上側のデバイス領域まで届かないような工夫をする方法である。

具体的には、組成を連続的に変化させる層(グレーデッド層)を設けたり、歪超格子(SLS)による転位のフィルター効果を利用したりする方

法である。

しかしながら、今尚、転位の低減化には限界があり、また、熱膨張差などの問題もあり、十分な特性を有するものができないのが、現状である。

これに対して、任意の格子定数の基板を得るために、三元混晶を用いる方法がある。

〔発明が解決しようとする課題〕

三元混晶を作製しようとする場合には、基本的な問題が2つ存在する。

1つは、基板を切り出すバルク結晶での組成の均一化である。もう1つは、転位を含まない種結晶の作製方法である。

前者に対しては、エレクトロマイグレーションを利用した方法などが考案されているが、後者に対しては、種結晶としてSLSで作製した基板を用いるなど、結局、転位のない種結晶を得ることが困難であった。

本発明は、以上の点を鑑み、転位のない種結晶の作製方法を提供することを目的とする。

今、第1の基板1、エピタキシャル結晶層2、第2の基板3、本発明の目的とする種結晶4の各々の室温における格子定数を、それぞれ a_1, a_2, a_3, a_4 とし、また各々の熱膨張係数を、それぞれ $\alpha_1, \alpha_2, \alpha_3, \alpha_4$ とする。

第1図(a)に示すように、第1の基板1にエピタキシャル結晶層2を成長したとき、エピタキシャル結晶層2の面内方向の格子定数は、本来の a_2 ではなく、第1の基板1の格子定数と等しい a_1 となっている。従って、エピタキシャル結晶層2の格子は歪んだ形となっている。

次に、第1図(b)に示すように、第1の基板1上のエピタキシャル結晶層2の面を、直接、第1の基板1と格子定数の異なる第2の基板3の面に静電圧着等の方法によりファンデルワールス力で貼り合わせると、その境界面は不連続のために、エピタキシャル結晶層2の面内格子定数は、第1の基板1の格子定数 a_1 のまま保たれているのに対して、第2の基板の格子定数は a_3 となっており、コヒーレントな結晶接続ではなくなっている。

〔課題を解決するための手段〕

第1図は本発明の原理説明図、第5～7図は本発明の他の実施例の説明図である。

図において、1は第1の基板、2はエピタキシャル結晶層、3は第2の基板、4は第2のエピタキシャル結晶層、5は薄膜、5'は超歪格子、6は第2のエピタキシャル結晶層と同一成分の層である。

種結晶となる結晶は、結晶そのものに転位がなく、また、その上に成長した混晶と格子整合したものでなければならない。

本発明では、基板の貼り合わせと選択エッティング及び各結晶層の熱膨張差を積極的に利用することによって、成長時に転位やストレスのないエピタキシャル結晶層を作製することを提案する。

手段としては、異なる基板の熱膨張率によって、もともと歪んだ面内方向の格子定数を、結晶の成長温度 T_g において目的の結晶の格子定数 a_4 に合わせるようにすれば良い。

具体的には、以下の条件が必要となる。

統いて、第1図(c)に示すように、この第2の基板3の面にエピタキシャル結晶層2の面を貼り合わせた後、第1の基板1をエッティングにより完全に除去してしまう。

最後に、第1図(d)に示すように、残った第2の基板3とその上に貼り合わせたエピタキシャル結晶層2を用いて、本発明の目的の種結晶4をエピタキシャル結晶層2の上に形成する。

第2の基板3の温度を液相成長の温度 T_g まで加熱して、上げていくと、第2の基板3の格子定数の伸びは、

$$a_3 T_g \alpha_3$$

である。

これは、単位長あたり、 $T_g \alpha_3$ だけ伸びることに相当する。

従って、第2の基板3上の第1のエピタキシャル結晶層2の面内方向の格子 a_1 （歪んで a_1 になっている）は

$$a_1 T_g \alpha_3$$

だけ伸びることになる。

以上より、昇温時のエピタキシャル結晶層2の面内方向の格子の長さは、

$$a_1(1 + T g \alpha_s)$$

となる。

従って、本発明の目的とする第2のエビタキシャル結晶層4の格子の長さは、歪みがないためには、

$a_1(1 + T g \alpha_1) = a_4(1 + T g \alpha_4)$ となる必要がある。

即ち、格子定数が第1の基板1と異なる第1のエピタキシャル結晶層2を、転位密度が、 $10^8/\text{cm}^2$ 以下の該第1の基板1上に、転位が発生しない厚さにエピタキシャル成長する工程と、該第1のエピタキシャル結晶層2を、該第1の基板1と熱膨張率の異なる第2の基板3に貼り合わせる工程と、該第1の基板1をエッティングで除去する工程と、該第1のエピタキシャル結晶層2上に第2のエピタキシャル結晶層4を作製する工程とを含み、かつ、該第1の基板1の室温における格子定数を a_1 、該第2の基板の熱膨張係数を α_2 、該第2の

そして、歪みを含んだ第1のエピタキシャル層2の歪み量の大きさが大きいと、更に難しくなる。

従って、上記プロセスを良好に行うためには、できるだけ全工程中において、第1のエピタキシャル層2の歪み量を小さくする必要がある。

上記請求項2の式中には、第1のエピタキシャル結晶層2のパラメーターが入っていないので、第2のエピタキシャル結晶層4と異なる組成の第1のエピタキシャル結晶層2を貼り付け、成長温度Tgで、亞んだ第1のエピタキシャル結晶層2の面内格子定数が、種結晶と格子整合するようできれば、成長温度Tgで、エピタキシャル結晶層2の歪み量が必ずしも零でなくても良く、貼り付け時の歪み量を制御することができる。

今、歪み量を以下の通り定義する。

結晶の歪んだときの面内格子定数を $a \dots \dots \dots$

結晶の歪みのないときの面内格子定数を a_{1100} としたとき、歪み量 α は、

$$\alpha = (a_{1,0,0} - a_{0,0,0}) / a_{1,0,0}$$

また、第1のエピタキシャル結晶層2の貼り付

エピタキシャル結晶層4の室温における格子定数を a_4 、熱膨脹係数を α_4 、種結晶4の成長温度を T_g としたとき、

$$a_{11}(1 + T g \alpha_{11}) = a_{11}(1 + T g \alpha_{11})$$

となる条件を満たすように、第1の基板1並びに第2の基板3を選定することにより、第1の基板1、第1のエピタキシャル結晶層2、成長温度の関係が結ばれていることによって、前記第1の目的が達成される。

更に、前述の貼り付け技術では、貼り付けた時の歪み量が、成長温度で零になるように設計されている。

これは、貼り付けられたエピタキシャル結晶層2が、この上に引上げ法により成長する第2のエピタキシャル結晶層4と同じものであるために避けられない状態であった。

上記プロセス中で一番難しいのは、亞みを含んだ第1のエピタキシャル層2を、第2の基板3にクラックや剥離を発生させないように貼り付ける部分である。

前記の貼り付けの際に、強り付ける第1のエピタキシャル結晶層2が第2のエピタキシャル結晶層4と同じ組成の場合には、貼り付け時の歪み量が最も大きく、 $|\alpha_{12}|$ で剥離などの限界が決まる。

第1のエピタキシャル結晶層2の組成を変える時に、

$$|\alpha_{\text{room}}| > |\alpha_{\text{room}}|^{+}.$$

かつ、

$$|\alpha_{\text{real}}| > |\alpha_{\text{growth}}|$$

となるように組成を選択すれば、本発明の請求項
1, 2 の全プロセス中で生ずる最大の重量は、

| $a_{\dots\dots}$ | よりも小さくなる。

もし $|\alpha_{1,1} - \alpha_{1,2}|, \dots, |\alpha_{1,n} - \alpha_{1,n+1}|$ が非常に小さければ、大

安部都合が良いが、このような条件は、貼り付ける物質と下地基板の熱膨張率が殆ど等しいというこ

とである。

具体的な組成に対する本発明の請求項3に関する限定条件を次に説明する。

即ち、該第1のエピタキシャル結晶層2の液晶組成が、該第2のエピタキシャル結晶層4の液晶組成と異なり、かつ、該第1の基板1の室温における格子定数を a_1 、該第1のエピタキシャル結晶層2の室温における格子定数を a_2 、熱膨張係数を α_1 、該第2の基板3の熱膨張係数を α_2 、該第2のエピタキシャル結晶層4の室温における格子定数を a_3 、成長温度を T_g としたとき、

$$|1 - a_1/a_2| > |1 - a_3/a_2|.$$

かつ、

$$|1 - a_1/a_2| > |1 - a_3(1 + T_g \alpha_2)/a_2(1 + T_g \alpha_2)|$$

の条件を満たすことが必要である。

これは、第1のエピタキシャル結晶層2が目的の第2のエピタキシャル結晶層4と組成が等しい場合は、 $(a_2 = a_4)$

$$a_{1,...} = a_1.$$

$$a_{1,...} = a_4$$

であり、

第1のエピタキシャル結晶層2が第2のエピタキシャル結晶層4と組成が異なる場合は、

$$a_{1,...} = a_2.$$

$$a_{1,...} = a_1$$

である。

従って、

$$a_{1,...} = (a_2 - a_1)/a_2.$$

$$a_{1,...} = (a_3 - a_1)/a_2.$$

となる。

第2のエピタキシャル結晶層4の成長温度 T_g においては、熱膨張するので、

$$a_{1,...} = a_2(1 + T_g \alpha_2).$$

また、前記のとおり、実際には、第1のエピタキシャル結晶層2の面内の格子定数は、

$$a_{1,...} = a_1(1 + T_g \alpha_2)$$

となる。

従って、これを前式に代入すると、請求項3の関係式が導き出される。

他の実施例としては、実用上、液晶バルク結晶の成長をヘテロ化してしまうことを避ける手段として、第1のエピタキシャル結晶層2が、前記請求項1の条件を満たす薄膜5と目的の第2のエピタキシャル結晶層4と同一成分の2層構造であり、かつ、第2の基板3へ貼り合わせる場合、第2のエピタキシャル結晶層と同一成分の層6が表面側になるようとする。

前記薄膜5及び第2のエピタキシャル結晶層4と同一成分の層6は第1の基板1からエッチング処理によって選択的に剥離可能であることが必要である。または、薄膜5が第1の基板1との選択的なエッチング処理が不可能で、且つ第2のエピタキシャル結晶層と同一成分の層のみが選択エッチングが可能な場合には、第2のエピタキシャル結晶層と同一成分の層6、薄膜5、第2のエピタキシャル結晶層と同一成分の層6の3層構造とする必要がある。

また逆に、第2のエピタキシャル結晶層と同一成分の層6が選択エッチングが不可能の場合には、

薄膜5、第2のエピタキシャル結晶層と同一成分の層6、薄膜5と、逆の3層構造とする必要がある。

更に、エピタキシャル結晶層2には歪みが移るので、転位が入りにくくする手段を施す必要がある。具体的には、薄膜5が転位が発生しにくい歪超格子であることなどを利用すると良い。

〔作用〕

以上の工程で作製された基板は、室温においては、結晶中にストレスがある、歪んだ状態にあるが、バルク結晶を成長させる場合、成長温度にまで加熱するとストレスが緩和され、成長時に転位や歪みのない理想的な基板が得られる。

〔実施例〕

第2図は本発明の第1の一実施例の工程順模式断面図、第3図は本発明の第1の実施例に使用した液相成長装置、第4図、第5図、第6図、第7図はそれぞれ、本発明の第2、第3、第4、第5

の実施例の説明図である。

図において、1は第1の基板、2は第1のエピタキシャル結晶層、3は第2の基板、4は第2のエピタキシャル結晶層、5は薄膜、5'は歪超格子、6は第2のエピタキシャル結晶層と同一成分の層、7は電極、8は結晶保持枠、9は融液槽、10は化合物半導体融液、11はGaAs基板、12はGaInP層、13はInAs基板、14はGaInPバルク結晶、15はGaAs基板、16はGaInAsP層、17はInAs基板、18はGaInP層である。

第2図(a)に示すように、第1の基板としてのGaAs基板11上に、MOVPE(有機金属気相成長)法により、ホスフィン(PH₃)、トリエチルガリウム(TEG)、トリメチルインジウム(TMI)を用いて、680℃で100Åの厚さにエピタキシャル結晶層2としてのGa_{0.5}In_{0.5}P層12を成長する。この時、Ga_{0.5}In_{0.5}P層12は $\Delta a/a$ で、約 -4.42×10^{-3} の格子不整合(ミスマッチ)による歪みが残留している。

即ち、

10Åの表面に接触させる。そして、第2のエピタキシャル結晶層4の成長温度である800℃まで昇温すると、第2の基板であるInAs基板13の熱膨張率が小さいため、GaInP層12の歪みは緩和されて、第2のエピタキシャル結晶層4の成長時の温度においては歪みのない状態になり、第1の化合物半導体融液10A中より、GaInP層12層上に第2のエピタキシャル結晶層4であるGaInP層14が析出し第2図(d)に示すように、第2のエピタキシャル結晶層4がバルク結晶として、成長していく。

第1の実施例は、請求項2の条件に該当する第1のエピタキシャル結晶層2と第2のエピタキシャル結晶層4の混晶組成が同一の場合の例であるが、次に、第1のエピタキシャル結晶層2の混晶組成が、バルク結晶5成長用の第2のエピタキシャル結晶層4の混晶組成と異なる場合である。請求項3の条件に該当する第2の実施例について説明する。

一例として、第1のエピタキシャル結晶層2の混晶組成がGa_{0.5}In_{0.5}As_{0.2}P_{0.8}であり、第

$$\alpha_{...} = (a_s - a_i) / a_s = -4.42 \times 10^{-3}$$

$$\alpha_{...} = [1 - (a_s(1+Tg\alpha_s)/a_i(1+Tg\alpha_i))] = -3.68 \times 10^{-4}$$

となる。

また、成長時にはこのほかに熱膨張率の差が -2.3×10^{-3} ある。

この状態では、エピタキシャル結晶層2の厚さは、転位の発生する臨界膜厚以下である。

次に、第2図(b)に示すように、GaInP層12と第2の基板であるInAs基板13とを静電圧着などの方法により、ファンデルワールス力によって貼り合わせを行う。

続いて、第2図(c)に示すように、第1の基板であるGaAs基板11をアンモニアと過酸化水素水の混合液で選択的にエッティングして、完全に除去して、InAs基板13にGaInP層12の薄膜が貼り合わされた形にする。

基板保持枠8に装着したこのInAs基板13を、表面に貼り合わせたGaInP層12を下にして、第3図に示す液相成長装置の第1の化合物半導体融液槽

2のエピタキシャル結晶層4の混晶組成がGa_{0.5}In_{0.5}Pの組合せで実施することができる。

即ち、第4図に示すように、第1の基板1にGaAs基板15を使用し、第2の基板3にInAs基板16を用いた場合に、成長温度800℃における格子不整合は、 2.2×10^{-4} である。

また、第1のエピタキシャル層2と第2の基板との歪み量は、

$$\alpha_{...} = (a_s - a_i) / a_s = -4.42 \times 10^{-3}$$

$$\alpha_{...} = (a_s - a_i) / a_s = -3.53 \times 10^{-4}$$

$$\alpha_{...} = [1 - (a_s(1+Tg\alpha_s)/a_i(1+Tg\alpha_i))] = -1.03 \times 10^{-3}$$

となり、全工程において、歪み量を減らすことができる。

ここで、次の各化合物半導体の室温における格子定数aと熱膨張率 α を下表記載の数値とし、第2のエピタキシャル結晶層の成長温度Tgを773℃として計算した。

表

格子定数 [a]	熱膨張率 [α]
GaAs	5. 642 Å
InAs	6. 058 Å
InP	5. 868 Å
GaP	5. 450 Å

実用上、上記実施例の他に、幾つかの適用例が考えられる。

即ち、第2のエピタキシャル結晶層4の成長をヘテロ化してしまうことを避ける手段としては、第5図(a)に示すように、第1のエピタキシャル結晶層2が、前記請求項1の条件を満たす薄膜5、例えばInGaAsPからなる100 Åの厚さの層と、目的の第2のエピタキシャル結晶層4、例えばGaInPからなる20 Åの厚さの層との2層構造であり、かつ、第2の基板3へ貼り合わせる場合は、第5

図(b)に示すように、第2のエピタキシャル結晶層4の側が表に出るようにする。

またエピタキシャル結晶層2が基板との選択エッチングができるか否かにより、3層構造にする必要がある場合には、前記の薄膜5及び第2のエピタキシャル結晶と同一成分の層6は第1の基板1からエッチング処理によって選択的に剥離可能であること、また、第6図(a)に示すように、薄膜5が第1の基板1との選択的なエッチング処理が不可能で、且つ、第2のエピタキシャル結晶層と同一成分の層6のみが選択エッチングが可能な場合には、6・5・6の3層構造とする。

また逆に6が選択エッチングが不可能の場合は、第6図(b)に示すように、5・6・5と逆の3層構造とする。

更に、第2のエピタキシャル結晶層4に転位が入り難くする手段としては、第7図に示すように、前記薄膜5が、転位が発生しにくい歪超格子5'であるか、または歪みが内部にのみ含有するようにする。

【発明の効果】

以上説明したように、本発明によれば、熱膨張係数によって残留歪みが緩和されるような基板に、目的の組成の液晶を貼り付けることによって、液相成長用としては理想である、転位のない種結晶を得ることができる。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の第1の実施例の工程順模式断面図、

第3図は本発明の第1の実施例に使用した液相成長装置の模式断面図、

第4図は本発明の第2の実施例の説明図、

第5図は本発明の第3の実施例の説明図、

第6図は本発明の第4の実施例の説明図、

第7図は本発明の第5の実施例の説明図、

である。

図において、

1は第1の基板、

2は第1のエピタキシャル結晶層、

3は第2の基板、

4は第2のエピタキシャル結晶層、

5は薄膜、 5'は歪超格子、

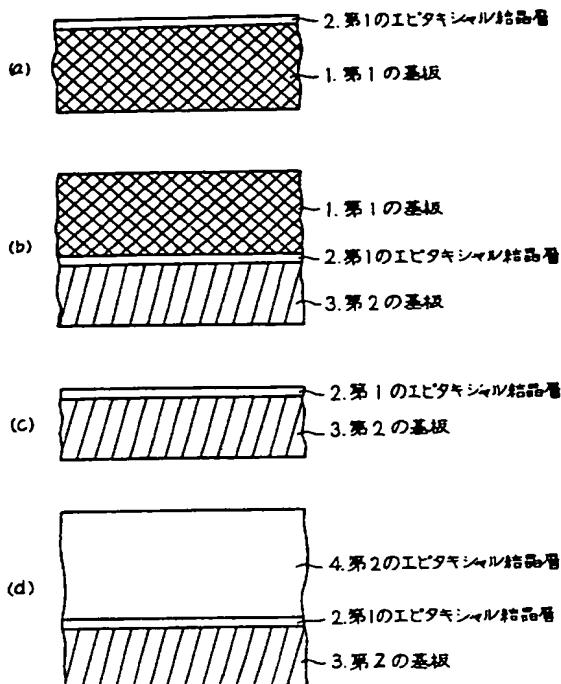
6は第2のエピタキシャル結晶層と同一成分の層、

7は電極、 8は結晶保持枠、

9は融液槽、 10は化合物半導体融液

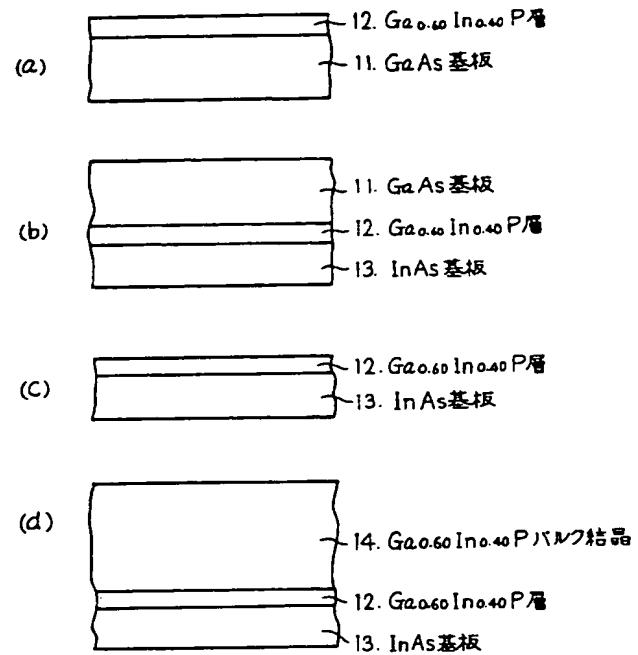
である。

代理人 弁理士 井桁貞一



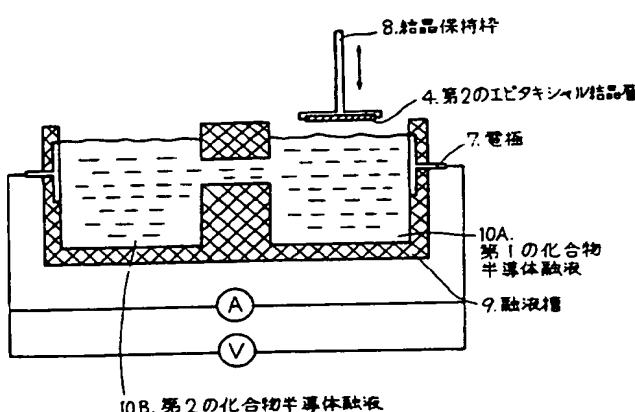
本発明の原理説明図

第 1 図



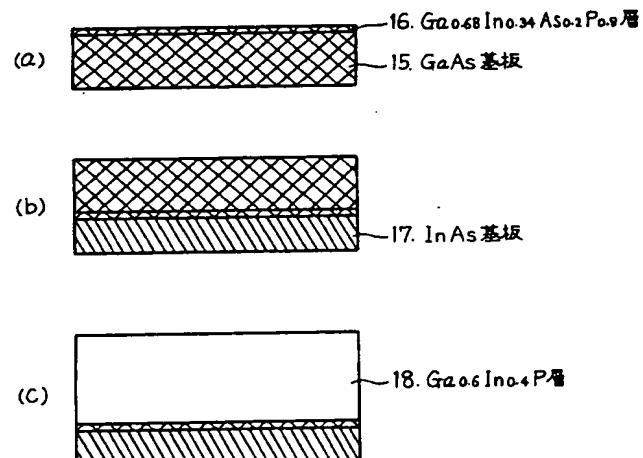
本発明の第 1 の実施例の工程順模式断面図

第 2 図



本発明の第 1 の実施例に使用した液相成長装置

第 3 図



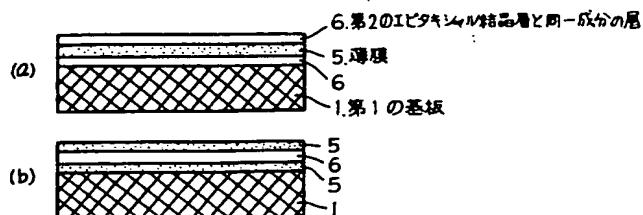
本発明の第 2 の実施例の説明図

第 4 図



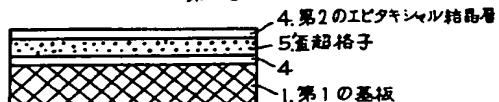
本発明の第3の実施例の説明図

第5図



本発明の第4の実施例の説明図

第6図



本発明の第5の実施例の説明図

第7図